



Docket No.: P2002,0624

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: September 2, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Patrick Heyne
Appl. No. : 10/626,955
Filed : July 25, 2003
Title : Integrated Synchronous Memory and Memory Configuration
having a Memory Module with at least One Synchronous
Memory

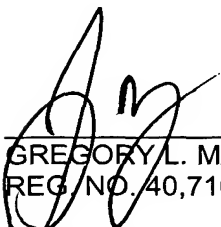
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 33 878.7 filed July 25, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: September 2, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 33 878.7

Anmeldetag: 25. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Integrierter synchroner Speicher sowie Speicher-
anordnung mit einem Speichermodul mit wenigstens
einem synchronen Speicher

IPC: G 11 C 11/4063

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 03. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to be 'J. Jerofsky'.

Jerofsky

Beschreibung

Integrierter synchroner Speicher sowie Speicheranordnung mit einem Speichermodul mit wenigstens einem synchronen Speicher

5

Die vorliegende Erfindung betrifft einen integrierten synchronen Speicher, der mit unterschiedlichen Betriebsfrequenzen betreibbar ist, sowie eine Speicheranordnung mit einem Speichermodul, auf dem wenigstens ein derartiger synchroner Speicher angeordnet ist.

10

Integrierte synchrone Speicher wie beispielsweise synchrone DRAM-Speicher in sogenannter Double-Data-Rate-Architektur (DDR DRAMs) weisen vergleichsweise hohe Schalt- und Zugriffsgeschwindigkeiten auf. Derartige integrierte Speicher weisen im allgemeinen ein Taktsignal auf, das üblicherweise von extern beispielsweise von einem Controller zugeführt wird. Der Controller ist an einen Anschluß des Speichers oder eines Speichermoduls, auf dem meist mehrere derartige Speicher angeordnet sind, angeschlossen. Es sind hierbei für den Betrieb einer derartigen Speicheranordnung sogenannte Timing-Parameter wie beispielsweise Verzögerungszeiten spezifiziert, die insbesondere bei einem Lesezugriff auf einen Speicher die Beziehung zwischen dem eingespeisten Taktsignal und auszugebenden gültigen Daten festlegen. Derartige Timing-Parameter werden aufgrund von Prozeßschwankungen im Herstellungsprozeß, Temperaturschwankungen und im Hinblick auf unterschiedliche Betriebsfrequenzen im allgemeinen mittels einer sogenannten DLL-Schaltung (Delay-locked Loop) eingestellt.

20

25

30

Insbesondere bei DDR DRAMs mit hohen Schaltgeschwindigkeiten entsteht das Problem, daß der Frequenzbereich der Betriebsfrequenz, mit der der Speicher im Normalbetrieb arbeitet, vergleichsweise groß wird. Damit sind vor allem hohe Anforderungen an die DLL-Schaltungen des Speichers gestellt. Insbesondere ist eine hohe Auflösung der variabel einstellbaren Verzögerungskette einer DLL-Schaltung erforderlich. Eine hohe

35

Auflösung einer Verzögerungskette einer DLL-Schaltung wird beispielsweise durch Inverterstufen mit kleiner Verzögerung erreicht. Für niedrige Frequenzen hingegen muß eine große Gesamtverzögerung der Inverterkette erzielt werden. Es ist demnach eine hohe Anzahl an Inverterstufen vorzusehen. Eine hohe Anzahl an Inverterstufen ist wiederum für hohe Betriebsfrequenzen nachteilig, da es hier zu erhöhtem Stromverbrauch und zu Ausbeuteverlusten kommen kann.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, einen integrierten synchronen Speicher anzugeben, bei dem sowohl in einem hohen als auch in einem niedrigen Frequenzbereich der Betriebsfrequenz die optimale Funktionalität des Speichers gewährleistet werden kann.

Weiterhin ist es Aufgabe der vorliegenden Erfindung, eine Speicheranordnung mit einem Speichermodul anzugeben, auf dem wenigstens ein derartiger synchroner Speicher angeordnet ist.

Diese Aufgabe wird gemäß der vorliegenden Erfindung durch einen integrierten synchronen Speicher nach Patentanspruch 1 und durch eine Speicheranordnung nach Patentanspruch 7 gelöst.

Der erfindungsgemäße integrierte synchrone Speicher weist ein Register auf, in dem eine Frequenzbereichs-Information speicherbar ist, ob der Speicher in einer Anwendung wenigstens in einem ersten oder dazu niedrigeren, zweiten Frequenzbereich betrieben wird. Der Speicher kann in zwei oder mehreren unterschiedlichen Frequenzbereichen betrieben werden. Abhängig von dieser gespeicherten Frequenzbereichs-Information des Registers ist die Betriebsweise einer Teilschaltung des Speichers steuerbar. Mit der Speicherung der Frequenzbereichs-Information in dem Register ist somit die Möglichkeit gegeben, die Funktionalität des synchronen Speichers sowohl an hohe als auch an niedrige Betriebsfrequenzen optimal anzupas-

sen, indem diese Information zur Steuerung der Betriebsweise von Teilschaltungen des Speichers genutzt wird.

Die erfindungsgemäße Speicheranordnung weist ein Speichermodul auf, auf dem wenigstens ein derartiger synchroner Speicher angeordnet ist, sowie einen Controller, der mit dem Speichermodul verbindbar ist und das Register des oder der Speicher des Speichermoduls setzt. Hiermit kann in der Anwendung von dem Controller jedem Speicher des Speichermoduls mitgeteilt werden, ob sich die Betriebsfrequenz der Speicheranordnung in einem höheren oder niedrigeren Frequenzbereich befindet.

Die Frequenzbereichs-Information ist gemäß einer Ausführungsform der Erfindung in einem sogenannten Mode-Register des Speichers gespeichert. Dieses Mode-Register kann vom Controller insbesondere bei der Initialisierung mittels eines sogenannten Mode-Register-Set-Befehls (MRS-Befehl) gesetzt werden. Das Mode-Register eines SDRAMs ist insbesondere dafür vorgesehen, um einen bestimmten Betriebsmodus des SDRAMs zu definieren. Über das Mode-Register wird beispielsweise eine Burst-Länge, ein Burst-Typ und die sogenannte CAS-Latency des Speichers festgelegt. In diesem Mode-Register wird erfindungsgemäß ein weiteres Bit für die Frequenzbereichs-Information reserviert, beispielsweise zur Definition von zwei Frequenzbereichen.

In einer weiteren Ausführungsform einer erfindungsgemäßen Speicheranordnung ist ein programmierbarer Festwertspeicher, beispielsweise in Form eines EPROMs, vorhanden zur Speicherung einer Modulinformation, mit welcher Grenzfrequenz das Speichermodul in einer Anwendung betrieben wird. Der Controller liest diese Modulinformation aus dem Festwertspeicher aus und setzt das jeweilige Register der auf dem Speichermodul angeordneten integrierten Speicher mit der entsprechenden Frequenzbereichs-Information. In einer Weiterbildung einer derartigen Speicheranordnung sind das Speichermodul als so-

nanntes DIMM-Modul, die auf dem Speichermodul angeordneten integrierten Speicher als SDRAMs und der Festwertspeicher als sogenanntes SPD-Register (Serial Programmable Device) ausgeführt. Eine derartige Ausführungsform einer Speicheranordnung
5 findet vor allem in Computersystemen Anwendung. Hier wird das SPD-Register vom PC-BIOS ausgewertet.

Gemäß einer vorteilhaften Ausführungsform der Erfindung kann der zweite, niedrigere Frequenzbereich der Betriebsfrequenz
10 als Energiespar-Betriebsart zur Verringerung des Betriebsstroms ausgelegt werden. Der Controller beschreibt in dieser Betriebsart das jeweilige Register der auf dem Speichermodul angeordneten integrierten Speicher mit der entsprechenden Frequenzbereichs-Information. Gemäß dieser Ausführungsform
15 können also die Frequenzbereichs-Einträge des Registers durch den Controller mehrmals geändert werden, um beispielsweise bei mobilen Applikationen den Energieverbrauch der Speicheranordnung zu optimieren.

20 Gemäß einer Weiterbildung des erfindungsgemäßen integrierten Speichers enthält die Teilschaltung eine DLL-Schaltung mit einer variablen Verzögerung. Die Verzögerung der DLL-Schaltung kann abhängig von der gespeicherten Frequenzbereichs-Information des Registers verändert werden. Dadurch
25 ist ermöglicht, eine DLL-Schaltung an unterschiedliche Frequenzbereiche einer Betriebsfrequenz optimal anzupassen.

Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung sind Gegenstand abhängiger Ansprüche.

30

Die Erfindung wird im folgenden anhand der in der Zeichnung dargestellten Figuren, die Ausführungsbeispiele der vorliegenden Erfindung darstellen, näher erläutert. Es zeigen:

35 Figur 1 eine Ausführungsform eines erfindungsgemäßen integrierten synchronen Speichers,

Figur 2 eine Ausführungsform einer erfindungsgemäßen Speicheranordnung mit einem Speichermodul und einem Controller,

5 Figur 3 eine Ausführungsform einer DLL-Schaltung eines erfindungsgemäßen integrierten synchronen Speichers,

10 Figur 4 eine weitere Ausführungsform einer DLL-Schaltung eines erfindungsgemäßen integrierten synchronen Speichers.

In Figur 1 ist ein integrierter synchroner Speicher 1 gezeigt, der eine DLL-Schaltung 2 enthält. Weiterhin ist ein
15 Mode-Register 3 vorgesehen, in dem beispielsweise neben einer Burst-Länge, eines Burst-Typs und einer CAS-Latency eine Frequenzbereichs-Information gespeichert ist, die eine Aussage darüber zuläßt, ob der Speicher in einer Anwendung in einem höheren oder niedrigeren Frequenzbereich betrieben wird. Diese Frequenzbereichs-Information ist beispielhaft in dem Registerbit A9 des Moderegisters 3 gespeichert und kann mit einem
20 Signal DR aus dem Register 3 ausgelesen werden. Bei dem Register 3 handelt es sich im vorliegenden Ausführungsbeispiel um ein sogenanntes Extended Mode Register.

25 In Figur 1 ist weiterhin eine beispielhafte Ausführungsform einer DLL-Schaltung 2 dargestellt. An den Eingang IN wird beispielsweise ein externes Taktsignal von einem Controller angelegt. An dem Ausgang OUT ist ein entsprechend eingestelltes
30 internes Taktsignal entnehmbar. Darüber hinaus weist die DLL-Schaltung eine Verzögerungskette 21, eine Rückkopplungsschleife 23, einen Phasendetektor 24 und eine Steuerschaltung 25 auf. Über die Steuerschaltung 25 wird die variabel einstellbare Verzögerungskette 21 entsprechend justiert. Weiterhin
35 ist die Verzögerungskette 21 der DLL-Schaltung 2 abhängig von der gespeicherten Frequenzbereichs-Information DR des Moderegisters 3 einstellbar. Damit kann der DLL-Schaltung 2

mitgeteilt werden, ob der Speicher in einem höheren oder in einem niedrigeren Frequenzbereich betrieben wird.

In Figur 2 ist eine Ausführungsform einer erfindungsgemäßen Speicheranordnung mit einem Speichermodul 10 und einem Controller 12 dargestellt. Auf dem Speichermodul 10 sind im vorliegenden Ausführungsbeispiel mehrere synchrone Speicher 1-1 bis 1-n mit einem jeweiligen Mode-Register 3-1 bis 3-n angeordnet. Der Controller 12 ist mit dem Speichermodul 10 und mit jedem der Speicher 1-1 bis 1-n verbunden. Auf dem Speichermodul 10 ist weiterhin ein programmierbarer Festwertspeicher 11 in Form eines EPROMs vorhanden, das zur Speicherung einer Modulinformation dient, mit welcher Grenzfrequenz das Speichermodul 10 in einer Anwendung betrieben wird.

Diese Modulinformation MI kann vom Controller 12 beispielsweise bei der Initialisierung eines Computersystems, in dem die dargestellte Speicheranordnung enthalten ist, ausgelesen werden. Der Controller 12 setzt dann das jeweilige Register 3-1 bis 3-n mit der entsprechenden Frequenzbereichs-Information. In der Ausführungsform gemäß Figur 2 sind das Speichermodul 10 als DIMM-Modul, die Speicher 1-1 bis 1-n als SDRAMs und der Festwertspeicher 11 als SPD-Register ausgeführt. Die Register 3-1 bis 3-n der jeweiligen Speicher 1-1 bis 1-n werden vom Controller 12 außerdem für eine Energiespar-Betriebsart der Speicheranordnung mit einer entsprechenden Frequenzbereichs-Information beschrieben. In der Energiespar-Betriebsart werden die Speicher 1-1 bis 1-n in dem niedrigeren Frequenzbereich betrieben.

Sind die Speicher 1-1 bis 1-n nicht, wie in Figur 2 dargestellt, auf einem DIMM-Modul mit einem Festwertspeicher 11 angeordnet, sondern Bestandteil eines Graphiksystems, werden die Register 3-1 bis 3-n vom Controller 12 ohne vorheriges Auslesen eines Festwertspeichers gesetzt. Die jeweilige Frequenzbereichs-Information wird hierbei vom Hersteller des

Graphiksystems festgelegt, der den verwendeten Speichertyp kennt.

In Figur 3 ist eine Ausführungsform einer variabel einstellbaren DLL-Schaltung eines erfindungsgemäßen integrierten Speichers gemäß Figur 1 gezeigt. Die Verzögerungskette 21 weist mehrere Teil-Verzögerungsketten 210 und 212 auf. Die Verzögerungskette 210 besteht aus mehreren Inverterstufen 221 bis 22n, wobei die Verbindungsknoten der Inverterstufen mit einem Multiplexer 211 verbunden sind. Die Auswahl und Weiter-
schaltung eines jeweiligen Verbindungsknotens erfolgt mittels des Steuersignals S der Steuerschaltung 25. Der Multiplexer 213 wählt aus, ob die Verzögerungskette 212 abhängig von der Frequenzbereichs-Information DR zu der Verzögerungskette 210 zugeschaltet wird. Die zusätzliche Verzögerungskette 212 wird dabei für den niedrigeren Frequenzbereich aktiviert. Dabei ist die Verzögerungszeit der Verzögerungskette 212 um ein Vielfaches größer als die Verzögerungszeit des Elements 222.

In Figur 4 ist eine weitere Ausführungsform einer DLL-Schaltung eines Speichers gemäß Figur 1 gezeigt. Die Verzögerungskette 21 enthält eine Serienschaltung von Inverterstufen 221 bis 22n. Jede Inverterstufe besteht aus einem Inverter mit den Schalttransistoren PT2 und NT1 und Stromquellen-Transistoren PT1 und NT2. Die Inverterstufen 221 bis 22n sind in ihrer Schaltgeschwindigkeit steuerbar, indem die Schaltspannung der Transistoren PT1 und NT2 variiert wird. Die Steuerspannungen PBIAS und NBIAS werden abhängig von der Frequenzbereichs-Information DR über den Multiplexer 214 und 215 eingestellt. Die Spannungen PBIAS1 und NBIAS2 weisen höhere Werte auf als die Spannungen PBIAS2 bzw. NBIAS1. Zur Einstellung eines niedrigeren Frequenzbereichs wird eine vergleichsweise hohe Spannung PBIAS1 und vergleichsweise niedrige Spannung NBIAS1 an die jeweiligen Stromquellen-
Transistoren PT1 bzw. NT2 angelegt. Damit weisen diese eine vergleichsweise niedrige Stromtreibefähigkeit auf. Zur Einstellung eines höheren Frequenzbereiches wird die Spannung

PBIAS erniedrigt, die Spannung NBIAS erhöht (PBIAS2, NBIAS2).
Die Multiplexer 214 und 215 werden hierbei abhängig von der
Frequenzbereichs-Information DR angesteuert.

Patentansprüche

1. Integrierter synchroner Speicher

- der mit unterschiedlichen Betriebsfrequenzen betreibbar
5 ist,

- mit einem Register (3), in dem eine Frequenzbereichs-
Information (DR) speicherbar ist, ob der Speicher in einer
Anwendung wenigstens in einem ersten oder dazu niedrigeren,
zweiten Frequenzbereich betrieben wird,

10 - mit einer Teilschaltung (2), deren Betriebsweise abhängig
von der gespeicherten Frequenzbereichs-Information (DR) des
Registers (3) steuerbar ist.

2. Integrierter synchroner Speicher nach Anspruch 1,

15 d a d u r c h g e k e n n z e i c h n e t, daß
die Frequenzbereichs-Information (DR) in einem Mode-Register
(3) des Speichers gespeichert ist.

3. Integrierter synchroner Speicher nach Anspruch 1 oder 2,

20 d a d u r c h g e k e n n z e i c h n e t, daß
die Teilschaltung (2) eine DLL-Schaltung mit einer variablen
Verzögerung enthält, wobei die Verzögerung der DLL-Schaltung
abhängig von der gespeicherten Frequenzbereichs-Information
(DR) des Registers (3) veränderbar ist.

4. Integrierter synchroner Speicher nach Anspruch 3,

25 d a d u r c h g e k e n n z e i c h n e t, daß
die DLL-Schaltung (2) eine Verzögerungskette (210, 212) in
einem Signalpfad aufweist, wobei Teile der Verzögerungskette
30 (212) abhängig von der im Register (3) gespeicherten Fre-
quenzbereichs-Information (DR) zuschaltbar beziehungsweise
abschaltbar sind.

5. Integrierter synchroner Speicher nach Anspruch 3,

35 d a d u r c h g e k e n n z e i c h n e t, daß
die DLL-Schaltung (2) eine Verzögerungskette (21) mit einer
Serienschaltung von Inverterstufen (221 bis 22n) in einem Si-

gnalpfad aufweist, wobei die Inverterstufen in ihrer Schaltgeschwindigkeit abhängig von der im Register (3) gespeicherten Frequenzbereichs-Information (DR) steuerbar sind.

5 6. Integrierter synchroner Speicher nach Anspruch 5,
d a d u r c h g e k e n n z e i c h n e t, daß
jeweilige Stromquellen (PT1, NT2) der Inverterstufen abhängig
von der im Register (3) gespeicherten Frequenzbereichs-
Information (DR) in ihrer Stromtreibefähigkeit steuerbar
10 sind.

7. Speicheranordnung mit einem Speichermodul (10), auf dem
wenigstens ein synchroner Speicher (1-1 bis 1-n) nach einem
der vorhergehenden Ansprüche angeordnet ist, und mit einem
15 Controller (12), der mit dem Speichermodul (10) verbindbar
ist und das Register (3-1 bis 3-n) des wenigstens einen Spei-
chers setzt.

8. Speicheranordnung nach Anspruch 7,
20 d a d u r c h g e k e n n z e i c h n e t, daß
- ein programmierbarer Festwertspeicher (11) vorhanden ist
zur Speicherung einer Modulinformation (MI), mit welcher
Grenzfrequenz das Speichermodul in einer Anwendung betrieben
wird,
25 - der Controller (12) die Modulinformation (MI) aus dem Fest-
wertspeicher (11) ausliest und das Register (3-1 bis 3-n) des
wenigstens einen Speichers mit der entsprechenden Frequenzbe-
reichs-Information setzt.

30 9. Speicheranordnung nach Anspruch 8,
d a d u r c h g e k e n n z e i c h n e t, daß
das Speichermodul (10) als DIMM-Modul, der wenigstens eine
Speicher (1-1 bis 1-n) als SDRAM und der Festwertspeicher
(11) als SPD-Register ausgeführt sind.

35 10. Speicheranordnung nach einem der Ansprüche 7 bis 9,
d a d u r c h g e k e n n z e i c h n e t, daß

der Controller (12) in einer Energiespar-Betriebsart der
Speicheranordnung das Register (3-1 bis 3-n) des wenigstens
einen Speichers mit einer derartigen Frequenzbereichs-
Information (DR) beschreibt, um den Speicher in der Anwendung
5 in dem zweiten Frequenzbereich zu betreiben.

Zusammenfassung

Integrierter synchroner Speicher sowie Speicheranordnung mit einem Speichermodul mit wenigstens einem synchronen Speicher

5

Ein integrierter synchroner Speicher weist ein Register (3) auf, in dem eine Frequenzbereichs-Information (DR) speicherbar ist, ob der Speicher in einer Anwendung in einem ersten oder dazu niedrigeren, zweiten Frequenzbereich betrieben wird. Die Betriebsweise einer Teilschaltung (2) des Speichers ist abhängig von der gespeicherten Frequenzbereichs-Information (DR) des Registers (3) steuerbar. In einer Speicheranordnung mit einem Speichermodul (10), auf dem wenigstens ein derartiger synchroner Speicher (1-1 bis 1-n) angeordnet ist, ist ein Controller (12) vorhanden, der mit dem Speichermodul (10) verbindbar ist und das Register (3-1 bis 3-n) des wenigstens einen Speichers setzt. Damit kann sowohl in einem hohen als auch in einem niedrigen Frequenzbereich der Betriebsfrequenz die optimale Funktionalität des Speichers gewährleistet werden.

Figur 1

Bezugszeichenliste

	1	Speicher
	1-1 bis 1-n	Speicher
5	2	DLL-Schaltung
	3	Mode-Register
	3-1 bis 3-n	Mode-Register
	10	Speichermodule
	11	Festwertspeicher
10	12	Controller
	21	Verzögerungskette
	23	Rückkopplungsschleife
	24	Phasendetektor
	25	Steuerschaltung
15	210	Verzögerungskette
	221 bis 22n	Inverterstufe
	211	Multiplexer
	212	Verzögerungskette
	213 bis 215	Multiplexer
20	MI	Modulinformation
	DR	Frequenzbereichs-Information
	IN	Eingang
	OUT	Ausgang
	S	Steuersignal
25	PT1, PT2	Transistor
	NT1, NT2	Transistor
	PBIAS, PBIAS1,	
	PBIAS2	Steuerspannung
	NBIAS, NBIAS1,	
30	NBIAS2	Steuerspannung
	A9	Registerbit

112

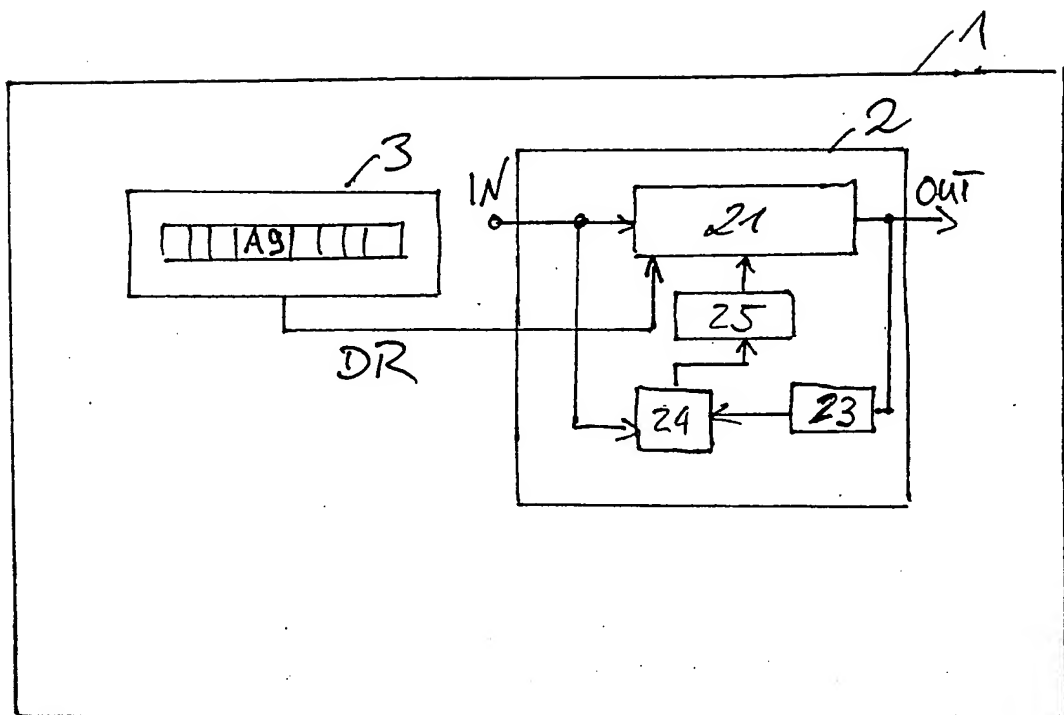


Fig. 1

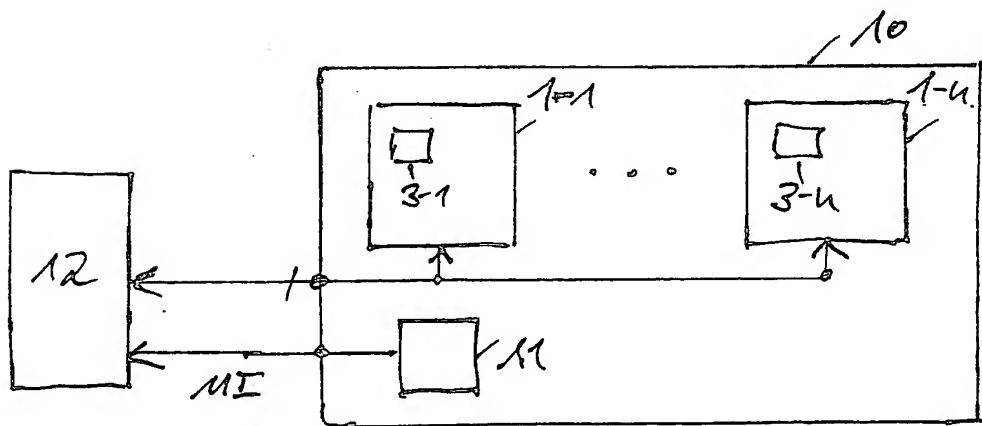


Fig. 2

212

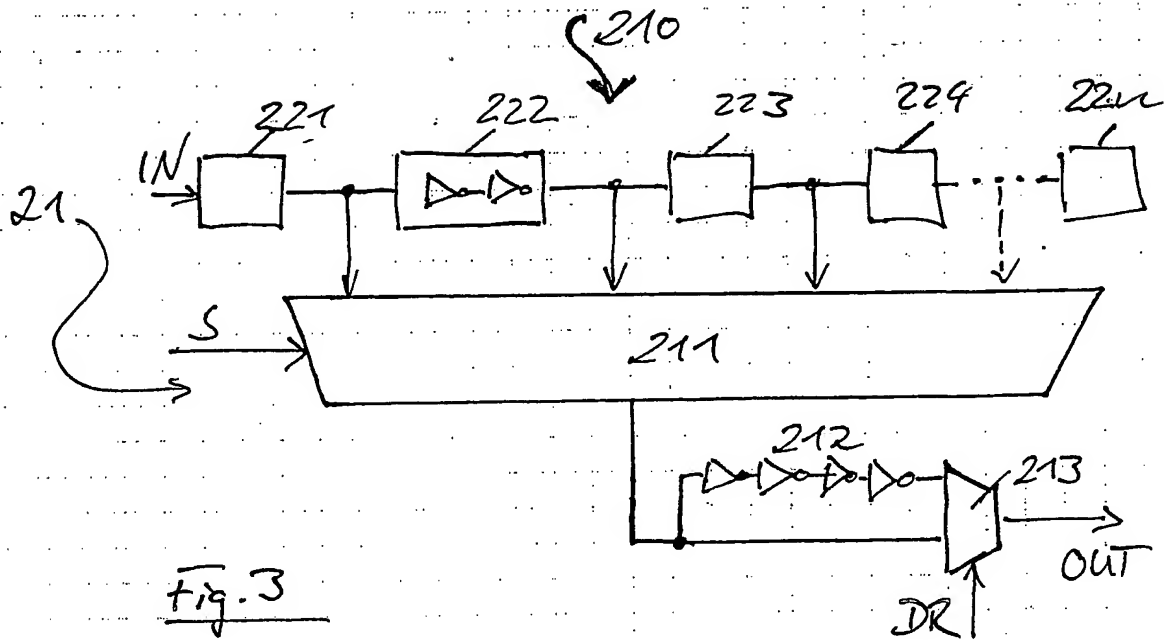


Fig. 3

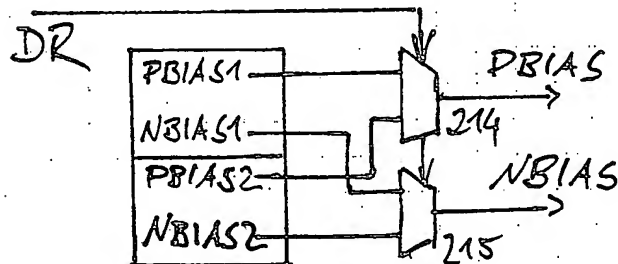
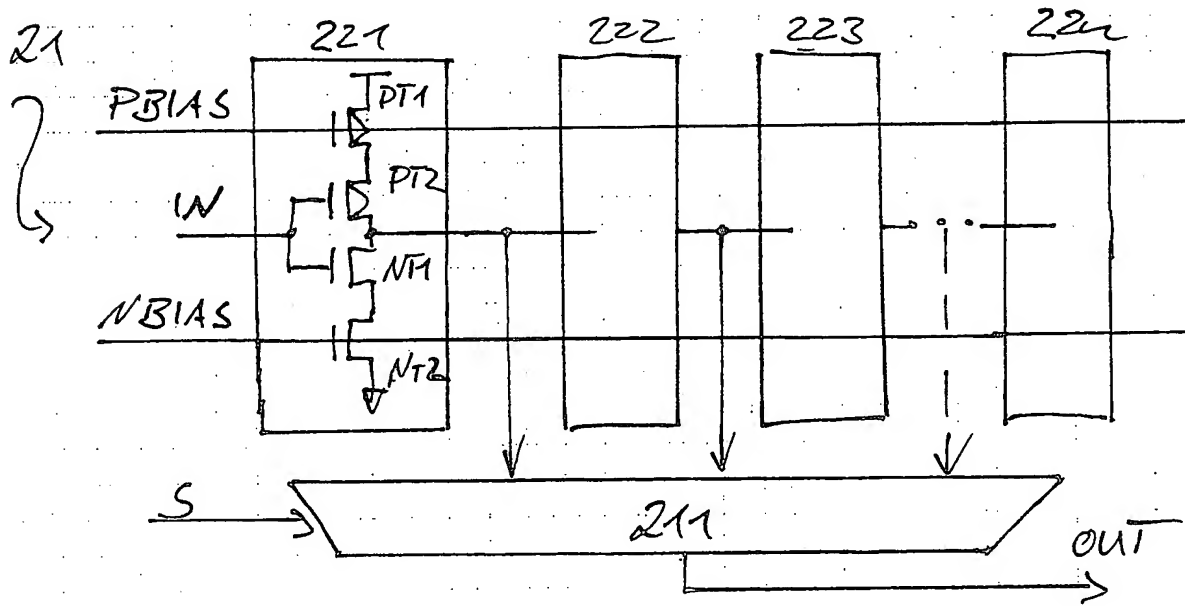


Fig. 4